

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-102662  
(43)Date of publication of application : 16.04.1996

(51)Int.CI. H03L 7/08  
H03L 7/18

(21)Application number : 07-244010 (71)Applicant : SYMBIOS LOGIC INC  
(22)Date of filing : 22.09.1995 (72)Inventor : CHEN DAO-I ONG

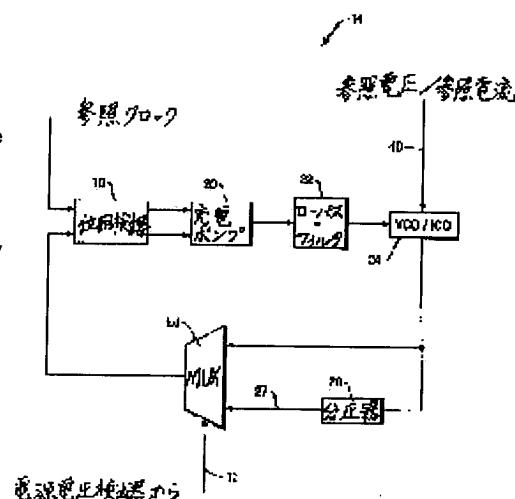
(30)Priority  
Priority number : 94 311469 Priority date : 23.09.1994 Priority country : US

(54) VOLTAGE FLUCTUATION COMPENSATING METHOD OF PLL CIRCUIT AND ITS PLL CIRCUIT

(57)Abstract:

**PROBLEM TO BE SOLVED:** To operate in different feeding voltages with one PLL by detecting the value of power supply voltage to a PLL circuit and adjusting an operation frequency of the PLL circuit based on a detection value.

**SOLUTION:** A detector detects the value of power supply voltage. An output 13 of the detector is connected to a PLL 14. The detector of power supply voltage operates by comparing the power supply voltage with reference voltage that is not affected by the power supply voltage. The PLL 14 includes a frequency divider 26 between V<sub>CO</sub>/ICO 24 and a phase detector 18. When it is detected that the power supply voltage is 5V as is shown by a control line 13, a multiplexer 28 selects an output 27 from the divider 26. In such cases, the frequency range of the PLL is adjusted based on the detected value of the power supply voltage by changing the reference voltage or reference current. This makes it possible to obtain a PLL which has an operation frequency characteristic that does not depend on power supply voltage.



---

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]



## 【特許請求の範囲】

【請求項1】 PLL回路への電源電圧の値を検出する工程と、前記電源電圧の検出値に基づいて前記PLL回路の動作周波数を調整する工程と、から成る電圧変動に対するPLL回路の動作補償方法。

【請求項2】 PLL回路への電源電圧の値を検出する工程と、前記電源電圧の検出値に基づいて前記PLL回路内の1若しくは2以上の周波数分波器をイネーブルまたはディスエーブルする工程と、から成る電圧変動に対するPLL回路の周波数レンジの補償方法。

【請求項3】 PLL回路への電源電圧の値を検出する工程と、前記電源電圧の検出値に基づいて前記PLL回路内の参照電圧若しくは参照電流を調整する工程と、から成る電圧変動に対するPLL回路の周波数レンジの補償方法。

【請求項4】 PLL回路への電源電圧の値を検出する手段と、前記電源電圧の検出値に基づいて前記PLL回路の動作周波数を調整する手段と、を含む電圧変動に対して動作補償したPLL回路。

【請求項5】 PLL回路への電源電圧の値を検出する手段と、前記電源電圧の検出値に基づいて前記PLL回路内の複数の周波数分波器の中から少なくとも一つを選択的にイネーブルする手段と、から成る電圧変動に対するPLL回路の周波数レンジの補償装置。

【請求項6】 PLL回路への電源電圧の値を検出する手段と、前記電源電圧の検出値に基づいて前記PLL回路内の参照電圧若しくは参照電流を調整する手段と、から成る電圧変動に対するPLL回路の周波数レンジの補償装置。

【請求項7】 電源電圧の値に基づいて発振器の参照動作ポイントを調整する少なくとも一つの電流源を含む、前記電源電圧によって動作するPLL回路。

【請求項8】 充電ポンプ回路に接続された位相検出器と、前記充電ポンプ回路に接続されたフィルターと、前記フィルターに接続され、所定の参照動作ポイントを有する発振器と、電源電圧の値に基づいて前記参照動作ポイントを動的に調節する調節手段と、から成る前記電源電圧によって動作するPLL回路。

【請求項9】 前記調節手段は、複数の電流源からなる請求項8のPLL回路。

【請求項10】 前記調整手段は、前記複数の電流源の少なくとも一つを選択的にイネーブルする手段を有する請求項9のPLL回路。

【請求項11】 所定の参照電圧入力と減衰された電源

電圧入力を有する差動増幅器と、

前記差動増幅器の出力に接続された少なくとも一つの入力を有する線形電流源と、

前記線形電流源の出力に接続された固定電流源と、から成るPLLの参照動作点を調節する回路。

【請求項12】 充電ポンプ回路に接続された位相検出器と、

前記充電ポンプ回路に接続されたフィルターと、

10 前記フィルターに接続され、所定の参照動作ポイントを有する発振器と、

電源電圧の値に基づいて前記発振器の参照動作ポイントを調節する少なくとも一つの電流源と、から成る前記電源電圧によって動作するPLL回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、集積回路、特にPLL集積回路に関する。

## 【0002】

【従来の技術】 従来、殆どのICは单一の5V電源電圧によって動作するように設計されてきた。しかし、最近、ポータブルPCや省エネルギーPCの出現に伴い、多くのICが5Vのみならず3.3Vでも動作可能でなければならなくなつた。デジタルICについては、3.3Vでも所定のクロック周波数で動作可能であれば問題はない。

## 【0003】

【発明が解決しようとする課題】 しかし、アナログIC、特にPLL回路等においては、入力電圧が異なることによって複雑な問題が生じる。例えば、PLLの動作周波数レンジは電源電圧に強く依存する。図1は、典型的なPLL回路の構成を示す。図2に示されているように、温度その他の変動条件を考慮に入れた場合、3.3V動作用に設計されたPLLは5Vにおいては動作が速すぎてしまい、同様に、5V動作用に設計されたPLLは3.3Vにおいては動作が遅すぎてしまう。

【0004】 本願発明の目的は、電源電圧に基づいてPLLの周波数レンジを調整し、一つのPLLが異なつた供給電圧で動作可能にする方法を提供すると共に、そのようなPLLを提供することにある。

## 【0005】

【課題を解決するための手段】 斯かる課題を達成するため、本願発明は、PLL回路への電源電圧の値を検出し、前記電源電圧の検出値に基づいて前記PLL回路の動作周波数を調節することによって、電圧変動に対してPLL回路の動作補償を行つてゐる。

## 【0006】

【発明の実施の形態】 図3は、電源電圧の値に基づいてPLLの周波数レンジを調節する方法を示す。先ず、電源電圧の値が検出器12によって検出される。検出器の50 出力13はPLL14に接続される。電源電圧の検出器

12は、電源電圧VDDと当該電源電圧には影響されない参照電圧VREFを比較することによって動作する。参照電圧VREFは、外部又はチップ内の定電圧レギュレータによって発生される。通常、参照電圧VREFは電源電圧VDDよりも低いので、直接的に電源電圧VDDと比較されることはない。むしろ、電源電圧VDDが減衰されて、参照電圧VREFと比較されることとなる。電源電圧VDDを減衰する方法は種々ある。ひとつ的方法は、図4に示された電圧分圧器を用いる方法である。PLLを3.3Vと5Vで動作させようとするのであるならば、2分割の電圧分圧器R1/R2を使用し、3.3Vを1.65Vに、5Vを2.5Vにそれぞれ減衰させる。この場合、両方の使用電圧に対して等しいマージンを確保するために、2.075Vの参照電圧が当該電源電圧を検出するのに用いられる。

【0007】電源電圧が一度検出されれば、次はその検出結果に従って、PLL周波数レンジを調節する方法を見出すことが必要になる。ひとつの可能な手法としては、5V動作時においてイネーブルされる所定の周波数分周器を挿入することによりPLLの出力周波数を低減させることである。図5は、位相検出器18、充電ポンプ20、ローパス・フィルター22及び電圧制御発振器/電流制御発振器24(VCO/ICO24)から成るPLL14を示す。しかし、図5に示されているように、本PLL14は、周波数分波器26をVCO/ICO24と位相検出器18の間に含むように構成されている。制御線13によって示されているように電源電圧が5Vであると検出された場合には、マルチプレクサー28によって周波数分波器26から出力27が選択される。制御線13は図4に示された回路によって作られる。

【0008】しかし、この手法を実行する上には多少の障害がある。周波数分波器26はシリコン半導体チップ上に余分な領域を必要とすると共に、比較的に高い周波数で使用すると多くの消費電力を必要とする。また、この周波数分波器は集積回路でなく個別部品で実現するには現実的でない。PLLの周波数レンジを調節するより容易な方法は、PLLに入力される参照電圧又は参照電流を調節することである。PLLを構成する殆どのVCO又はICOは、PLLの中心動作周波数を決定する外部電圧又は外部電流源を持つ。この例として、米国特許番号5,302,920号の「可変電流源とキャパシタを有する制御可能な多相リング発振器」が挙げられる。ここでは、参照電圧または参照電流を変えることによりPLLの周波数レンジが電源電圧の検出値に基づいて調整される。

【0009】図6は、電圧/電流コンバータ34(V/Iコンバータ34)を構成する2つのトランジスタM1とM2によって上記の調整が行われることの一例を示す。接続線40によりPLLに入力される参照電流(電

流源出力36とV/Iコンバータの出力38の合計電流)は、制御線13によって示されるように、電源電圧が5Vであると検出された時はトランジスタM1をトランジオフすることによって減衰される。電源電圧が3.3Vであると検出された時は、トランジスタM1はトランジオンされ、PLL40にたいして出力38を介して付加電流を供給する。図7は、電源電圧3.3V及び5VにおいてPLLを如何に動作させるかを示す。周波数レンジが電源電圧に対してリニアに調節され、その結果PLLが如何なる電源電圧においても動作可能であることがさらに望ましい。このことは、図8における30で示されているように、図4のコンパレータ16を差動増幅器に置き換えることによって行われる。差動増幅器の出力52は、電源電圧に依存しない参照電圧VREFと減衰された電源電圧VDDの差に比例する。出力電圧52は、その後、図6に関連して説明されたように、PLLに接続される参照電圧/参照電流を調節するために使われる。しかし、この差動増幅器は、図7のコンパレータからのデジタル出力とは対照的に、アナログ出力電圧を供給するので、電流コンバータ44に対して単純化電圧が用いられる。

【0010】図9に示されているように、電流コンバータへの単純化電圧は、差動増幅器30からの出力電圧52によってバイアスされた单一のトランジスタM3によって作られる。図8の回路は、このように、PLLが異なった電源電圧で動作可能になるように、電源電圧を用いて参照電流をリニアに調節する技術を示している。上記実施例に係る記載は、本願発明を限定するものではなく、本願発明の範囲内において、変更、修正され得るものであることは言うまでもない。

### 【0011】

【発明の効果】これにより、本願発明は、電源電圧の値に依存しない動作周波数レンジ特性を有するPLLを提供することができた。つまり、従来のPLLにおいては、温度その他の変動条件を考慮に入れた場合、3.3V動作時に設計されたPLLは5Vにおいては動作が速くなり、5V動作時に設計されたPLLは3.3Vにおいては動作が遅くなっていたが、本願においては、上記の方法により、電源電圧に基づいてPLLの周波数レンジを調整し、一つのPLLが異なった供給電圧で動作させることを可能にしたのである。

### 【図面の簡単な説明】

【図1】従来のPLL回路を示す。

【図2】従来のPLLの電源電圧が変化した場合の特性変化を示す。

【図3】本願発明のPLLのブロック図である。

【図4】電源電圧検出回路の回路図である。

【図5】本願発明のPLLの詳細なブロック図である。

【図6】電流コンバータへの電圧を用いた、PLLの

参照電圧／参照電流を変更させるための回路を示す。

【図7】 電源電圧の検出回路を含み、電流コンバータへの電圧を用いた、PLLの参照電圧／参照電流を変更させるための回路を示す。

【図8】 電源電圧の検出回路を含み、線形電流源を用いた、PLLの参照電圧／参照電流を変更させるための回路を示す。

【図9】 線形電流源を用いた、PLLの参照電圧／参照電流を変更させるための回路を示す。

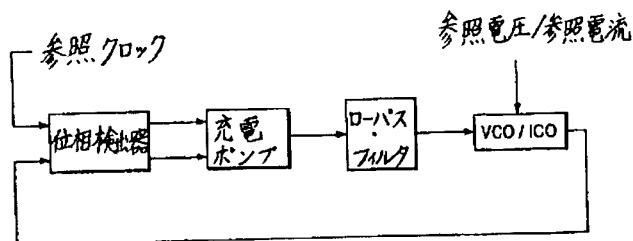
【符号の説明】

34 電圧／電流コンバータ (V/Iコンバータ)

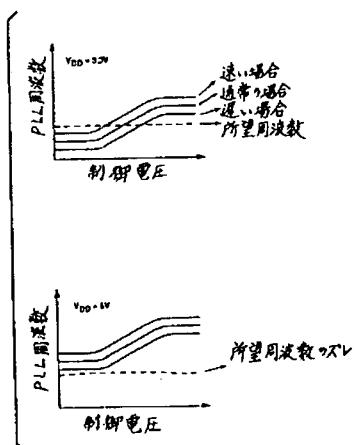
M1, M2 トランジスタ

【図1】

### 従来技術



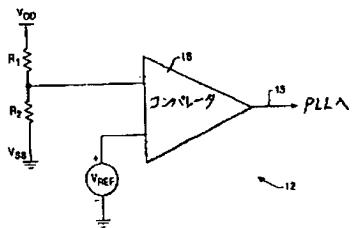
【図2】



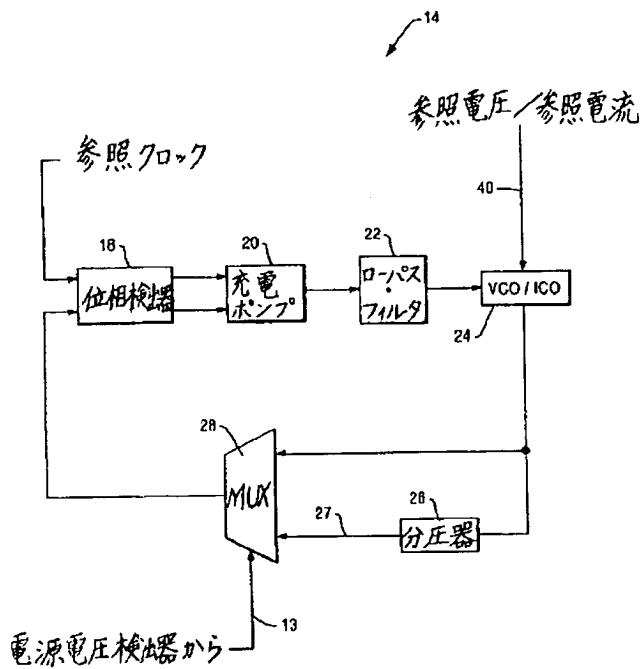
【図3】



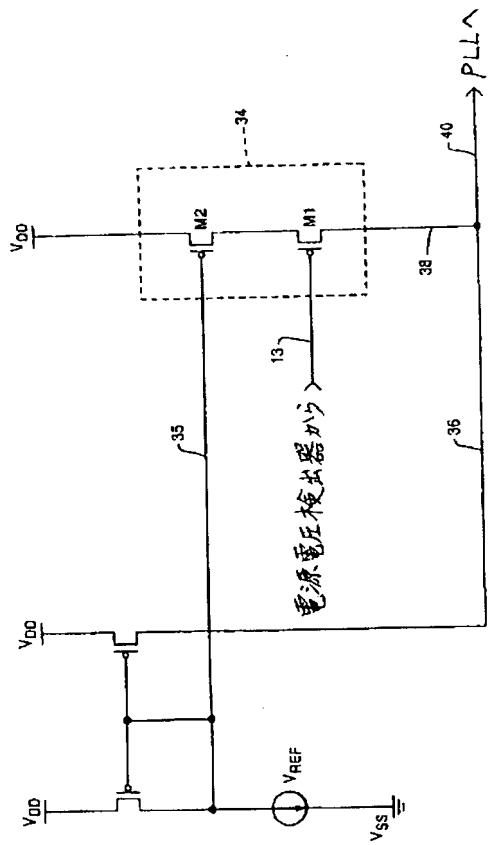
【図4】



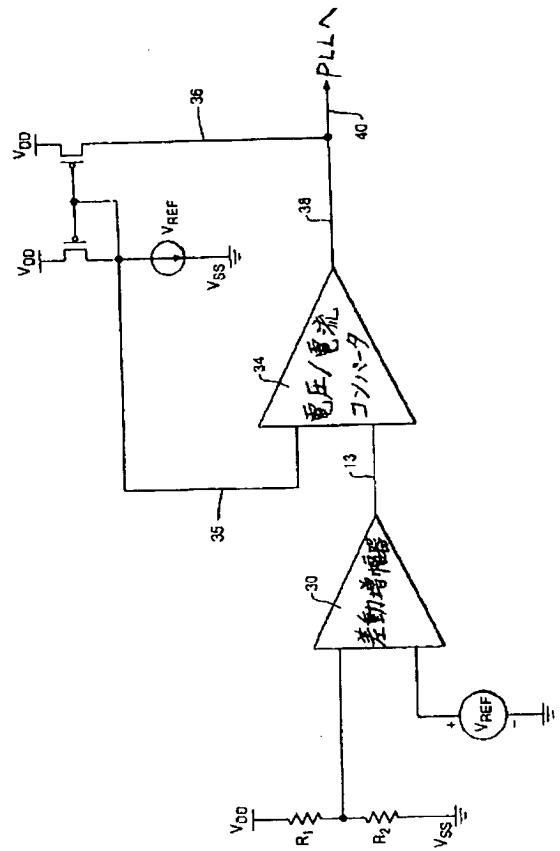
【図5】



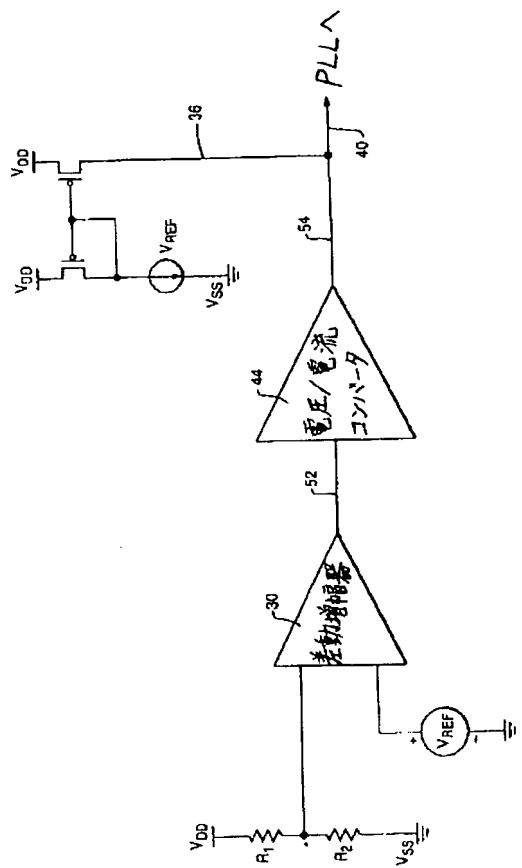
[図6]



【図7】



【図8】



【図9】

